

Multicore-Chips für Fahrerassistenzsysteme



Jürgen Weyer, Vice President für Automobilelektronik, EMEA bei Freescale Semiconductors, München.

Autonomes Fahren ist eines der attraktivsten Anwendungsgebiete, an dem heute in der Automobilindustrie gearbeitet wird.

Dabei gibt es zwei Ansätze bzw. Themenkomplexe, die gelöst werden müssen. Auf der einen Seite steht die Verwendung von vorher abgespeichertem Wissen wie Straßenkarten, Tempolimits, möglicherweise bis zu statischen Objekten. Auf der anderen Seite muss das Auto in die Lage versetzt werden, das Nahfeld und die damit verbundene Situation zu erkennen und zu beurteilen. Viele Systeme arbeiten heute dabei mit Bilddaten, was dem menschlichen Verständnis unserer nahen Umgebung (Sichtbereich) entspricht.

Die Verarbeitung von Bilddaten stellt bis heute und auch noch auf absehbare Zeit eine Herausforderung an unsere Rechenwerke dar, da die Umsetzung

der Funktion „Verstehen des Nahfeldes“ eine Rechenleistung von 10...100x gegenüber Standardprozessoren benötigt. Neben der hohen Rechenleistung ist insbesondere die Speicherbandbreite kritisch. Als Konsequenz sehen wir typischer Weise die Limitierung der Rechenleistung beim Zuführen der Daten und nicht in der Anzahl der arithmetischen Operationen. Ein anderer Faktor, der die Rechenleistung begrenzt, ist die Effizienz mit der die arithmetischen Operationen eingesetzt werden können. Eine hohe „Utilization“ ermöglicht es also, den Algorithmus kosteneffizient zu implementieren und mit niedriger elektrischer Leistung auszuführen. Neben der schon erwähnten Speicherbandbreite, ist hier z.B. auch die Art der Parallelisierung entscheidend. Deshalb müssen Vektor (SIMD)- und Multi-Prozessorverarbeitung (MIMD) gut balanciert sein. Daneben spielt der Grad der Anpassung an die Aufgabe eine wichtige Rolle, wie z. B. die Verwendung von dedizierten Lösungen in Kombination mit flexiblen (programmierbar oder konfigurierbar) Recheneinheiten.

Zusammenfassend sind wichtige Merkmale von guten Architekturen für kamerabasierte Fahrerassistenzsysteme der Einsatz von verschiedenen Beschleunigern, ein leistungsfähiges Speichersystem mit on-Chip SRAM ergänzt mit Scheduler und optimiertem DMA, sowie Flexibilität, zur Umsetzung verschiedener Algorithmen und ein klares Konzept für funktionale Sicherheit und automobiler Qualitätsanforderungen. Basierend auf diesen Arbeitsgrundlagen wurde der S32V234 Prozessor entwickelt, der kürzlich von Freescale vorgestellt wurde.

Ihr **Jürgen Weyer**